

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-231922

(P2002-231922A)

(43)公開日 平成14年8月16日(2002.8.16)

(51)Int.Cl. ⁷	識別記号	F I	キーワード*(参考)
H 0 1 L 27/146		G 0 1 T 1/00	B 2 G 0 8 8
G 0 1 T 1/00		1/24	4 M 1 1 8
1/24		H 0 4 N 1/028	Z 5 C 0 2 4
H 0 1 L 27/14		5/335	U 5 C 0 5 1
29/786		H 0 1 L 27/14	C 5 F 0 8 8
審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く			

(21)出願番号 特願2001-22355(P2001-22355)

(22)出願日 平成13年1月30日(2001.1.30)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 永田 尚志

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 野口 登

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100080034

弁理士 原 謙三

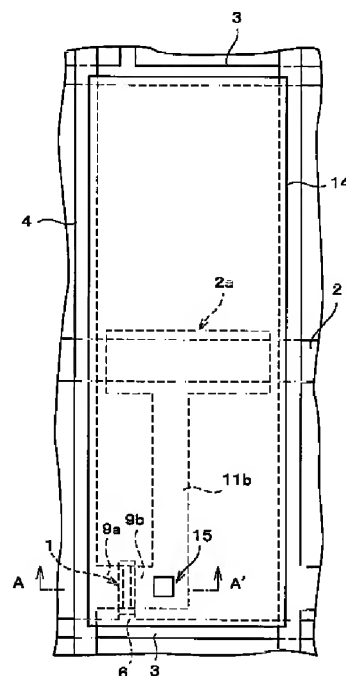
最終頁に続く

(54)【発明の名称】 イメージセンサ

(57)【要約】

【課題】 信号線と画素電極との間の静電容量を抑制することにより、ノイズの増加を防止してS/N比の向上を図ることができ、信頼性の高いイメージ信号を得ることができるイメージセンサを提供する。

【解決手段】 信号線4と画素電極14との間の静電容量を、画素電極14で収集された電荷を該電荷がイメージ信号として読み出されるまで保持するための画素容量2aの1/100以下とする。これにより、信号線4と画素電極14との間の静電容量によってノイズが生じたとしても、イメージセンサに最低でも必要とされる100程度のダイナミックレンジにわたって、電荷がノイズとして読み出し中のイメージ信号に重畳されて生じるクロストークの発生を防止することができる。



【特許請求の範囲】

【請求項1】入射する電磁波を電荷に変換する変換層と、
格子状に配された複数の走査線および信号線により形成される画素領域毎に設けられ、上記変換層で生成された電荷を収集する画素電極と、

上記走査線、信号線および画素電極に接続されたスイッチング素子とを備え、

上記画素電極で収集された電荷を上記スイッチング素子を介して順次読み出すことでイメージ信号を出力するイメージセンサにおいて、

1画素あたりにおける、上記信号線と上記画素電極との間の静電容量は、上記画素電極で収集された電荷を該電荷が読み出されるまで保持するための画素容量の1/100以下であることを特徴とするイメージセンサ。

【請求項2】上記信号線または走査線と、上記画素電極との間には、層間絶縁膜が形成されていることを特徴とする請求項1に記載のイメージセンサ。

【請求項3】上記信号線は、隣り合う上記画素電極間に配されていることを特徴とする請求項1または2に記載のイメージセンサ。

【請求項4】上記走査線と上記画素電極とは、重なるように配されていることを特徴とする請求項3に記載のイメージセンサ。

【請求項5】上記信号線に接続される上記スイッチング素子のソース電極と、上記画素電極とは、重なるように配されていることを特徴とする請求項1ないし4のいずれか1項に記載のイメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光やX線等の電磁波を電荷に変換し、順次読み出すことでイメージ信号を出力するイメージセンサに関するものである。

【0002】

【従来の技術】従来から、液晶表示装置等に用いられるアクティブマトリクス基板においては、個々の独立した画素電極がマトリクス状に配置されている。この画素電極のそれぞれに設けられている薄膜トランジスタ(TFT: Thin Film Transistor)等のスイッチング素子を走査線によって順次選択し、スイッチング素子を介して信号線の電位を各画素電極に書き込むことで、画像表示が実現されている。

【0003】ところで、このようなアクティブマトリクス基板は、イメージセンサに適用することができる。例えば、アクティブマトリクス基板の上層に、入射する光やX線等の電磁波を直接電荷に変換する変換層を形成し、ここで発生した電荷を強電圧によって各画素の容量に蓄積させ、これを順次読み出すタイプのイメージセンサがある。これは、例えば特開平4-212458号公報に記載されているような形態をとるものであって、変

換層において生成された電荷が画素容量により画素電極に蓄積されることで、被写体の形態に応じてそれぞれの画素に電荷としてのデータが保存される。そして、その電荷を、例えば上記液晶表示装置の場合と同様に順次走査線を選択してゆくことで、選択された画素のデータがスイッチング素子を介して信号線に読み出される。信号線の他端に設けられているオペアンプ等の信号読み出し回路からは、該イメージセンサに映された被写体像が画像データとして取り出される。

【0004】このような形態のイメージセンサにおいて、変換層を形成する前の段階であるアクティブマトリクス基板部分の製造に関しては、上記液晶表示装置の生産プロセスをそのまま展開して、画素容量の大きさやスイッチング素子の時定数等をイメージセンサ用に最適化するだけで実現可能である。従って、アクティブマトリクス基板部分の製造にあたっては、新たな設備投資等を必要とせず、安価に生産することが可能である。

【0005】図7は、従来からのアクティブマトリクス基板を用いた基本的なイメージセンサの具体的な構造例を示す断面図である。この構造は、M. Ikeda他による“Real-time Imaging Flat Panel X-Ray Detector”(AM-LCD'99)に記載されているものである。

【0006】同図に示すイメージセンサを製造するには、まず、透明絶縁性基板100上に、ゲート電極101および図示しない画素容量電極、ゲート絶縁膜102、半導体層103、ソース・ドレイン電極となるn⁺-Si層104、信号線となる金属層105および透明導電膜106、保護膜107を順次形成してスイッチング素子108を形成する。さらに、X線から電荷への変換を行う変換層109と、変換層109に電圧を印加するための電極となる金属110とをこの順に蒸着することにより、イメージセンサの基板部分が完成する。このイメージセンサにおいては、上記透明導電膜106が、変換層109で変換された電荷を蓄積する画素電極となる。

【0007】一方、イメージセンサは、各画素電極に電荷を与える液晶表示装置とは異なり、各画素電極に蓄積された電荷を読み出すものである。このため、通常はある一定周期で読み出されるべきところが、故障や信号読み出しプログラムの不具合等で正常な読み出しが行われなかった場合等では、予想外の大きな電荷が画素電極に蓄積されてしまい、これが高電圧となってアクティブマトリクス基板を破壊するおそれがある。

【0008】このことについては、“Characteristics of dual-gate thin-film transistors for application in digital radiology”(NRC'96)において、D. Waechterらによって論じられている。過剰な電荷の蓄積によるアクティブマトリクス基板の破壊を防ぐための方法として、画素電極をスイッチング素子上

に延伸し、これをダブルゲートトランジスタの一方のゲート電極として作用させ、ある一定の電圧以上ではトランジスタが導通状態となって電荷が開放される構造が提案されている。このような構造のうち、特に効果があるイメージセンサの構造を図8に示す。

【0009】図8に示すように、イメージセンサは、図示しないアクティブマトリクス基板上に、信号線121、画素電極122、絶縁膜123、トランジスタ124、ゲート電極125、ドレイン電極126、画素容量127、変換層128および半導体層129が形成されている。このイメージセンサの構造としては、信号線121と異なる層に画素電極122を配置し、これら両層の間が絶縁膜123で隔たれているために、トランジスタ124のチャネル部Lを画素電極122が全体的に覆うことのできる、いわゆるマッシュルーム構造が提案されている。このような構造にすることにより、画素電極122が高電圧に上昇することを防止することができる。

【0010】

【発明が解決しようとする課題】一般に、イメージセンサでは、アクティブマトリクス基板における画素電極の占める面積の割合が大きい程、変換層で発生した電荷を効率良く画素電極に収集することができる。このため、画素電極の面積は大きい方が望ましいが、図7に示すように、通常のアクティブマトリクス基板では平面的に信号線から離して画素電極を配置することから、おのずと画素電極の大きさには限界が生ずる。

【0011】一方、図8に示す構造においては、上述したように、信号線121と画素電極122との間に絶縁膜123が存在する。従って、画素電極122の面積を大きくするために、画素電極122を信号線121に重なるように配置しても、信号線121と画素電極122との間の絶縁は保たれる。

【0012】しかしながら、このような構造では信号線121と画素電極122との間に静電容量が発生する。このため、信号読み出し回路側から見た信号線121の全体での静電容量が増加する。これにより、取り出される信号のノイズが増加し、S/N比の低下を招来する。従って、信号線121に重なるように画素電極122を配置することはできず、このため、画素電極122の大きさは図7に示すような従来のアクティブマトリクス基板における画素電極の大きさ程度しか見込めないことになる。

【0013】即ち、イメージセンサでは、画素電極で収集された電荷を該電荷が読み出されるまで保持するための画素容量を大きくとっている場合が多いため、信号線121と画素電極122との間の静電容量は、そのままの静電容量値が信号線121の負荷となることが多い。一方、一般に、オペアンプ等の信号読み出し回路で発生したノイズは、信号線121の静電容量と帰還容量との

比に準じたゲインで増幅される。このため、ノイズを減らすためには、信号線121全体の静電容量を減らすことが重要であり、その有効手段として、信号線121と画素電極122との間の静電容量を減らすことが重要となる。

【0014】また、信号線121と画素電極122との間の静電容量が増加すると、X線照射部分のイメージに対応した画素電位の変動に伴い、信号線121と画素電極122との間における1画素あたりの静電容量に対応する分だけ信号線121の電位変動が生じるという問題がある。

【0015】例えば、ある走査線が選択されて、信号線121を介して信号の読み出しが行われている場合にも、他の画素電極には電荷が蓄積され続けており、一方、信号線121には、これとは逆極性で、信号線121と画素電極122との間の静電容量に比例する電荷が蓄積され続ける。この信号線121に蓄積される電荷量は画面全体における入射された電磁波の如何によってそれぞれ異なる。ある画素からの信号の読み出しの際には、信号線121と平行な方向に隣接する画素の信号に対応する、信号線121に蓄積された電荷がノイズとして読み出し中の信号に重畳される。これにより、いわゆるクロストークが発生し、正しい画像データが得られないこととなる。

【0016】このように、従来のイメージセンサにおいては信号線と画素電極との間の静電容量によりノイズが生じ、S/N比の低下を招来していた。また、そのノイズによりクロストークが発生し、信頼性の高いイメージ信号を得ることが困難であった。

【0017】本発明は、上記従来の問題点を鑑みてなされたものであり、その目的は、信号線と画素電極との間の静電容量を抑制することにより、ノイズの増加を防止してS/N比の向上を図ることができ、信頼性の高いイメージ信号を得ることができるイメージセンサを提供することにある。

【0018】

【課題を解決するための手段】本発明のイメージセンサは、上記の課題を解決するために、入射する電磁波を電荷に変換する変換層と、格子状に配された複数の走査線および信号線により形成される画素領域毎に設けられ、上記変換層で生成された電荷を収集する画素電極と、走査線、信号線および画素電極に接続されたスイッチング素子とを備え、上記画素電極で収集された電荷を上記スイッチング素子を介して順次読み出すことでイメージ信号を出力するイメージセンサにおいて、1画素あたりにおける、上記信号線と上記画素電極との間の静電容量は、上記画素電極で収集された電荷を該電荷が読み出されるまで保持するための画素容量の1/100以下であることを特徴としている。

【0019】一般に、1画素あたりにおける、信号線と

画素電極との間の静電容量をCsdとし、画素容量をCpixとし、画素電極に蓄積される電荷の最小値をQdminとし、画素電極に蓄積される電荷の最大値をQdmaxとすると、信号線に蓄積され、信号線と画素電極との間の静電容量に比例する電荷がノイズとして読み出し中のイメージ信号に重畳されて生じるクロストークが発生しないようにするためには、 $Csd < Cpix \times Qdmin / Qdmax$ を満たさなければならない。

【0020】ここで、 $Qdmax / Qdmin$ は、画素電極に蓄積された電荷を読み出す検出信号のダイナミックレンジの比を表す。また、イメージセンサがセンサとして機能するためには、ダイナミックレンジとして最低でも100程度必要とされる。

【0021】一方、上記の構成によれば、信号線と画素電極との間の静電容量は、画素容量の1/100以下である。これにより、信号線と画素電極との間の静電容量によってノイズが生じたとしても、電荷がノイズとして読み出し中のイメージ信号に重畳されて生じるクロストークの発生を、イメージセンサに最低でも必要とされる100程度のダイナミックレンジにわたって防止することができる。

【0022】このように、画素電極と信号線との間の静電容量を抑制することにより、ノイズの増加を防止することができる。従って、S/N比の向上を図ることができる。信頼性の高いイメージ信号を得ることができる。

【0023】上記イメージセンサは、信号線または走査線と画素電極との間に、層間絶縁膜が形成されていることが好ましい。

【0024】上記の構成によれば、信号線と画素電極との間に層間絶縁膜により絶縁されていることにより、画素電極を、信号線に重なるように配することができる。従って、画素電極の面積を大きくとることができ、変換層で生成された電荷を効率よく収集することができる。また、層間絶縁膜が形成されていることにより、信号線および走査線に起因する電界をシールドすることができる。また、例えば、層間絶縁膜の厚さを十分厚くし、誘電率を低くすることにより、信号線と画素電極との間の静電容量の増加を防止することができ、S/N比の低下を抑制することができる。

【0025】上記イメージセンサは、信号線が、隣り合う画素電極間に配されていることが好ましい。

【0026】上記の構成によれば、信号線と画素電極とが重ならない構成とすることができ、これにより、信号線と画素電極との間の静電容量をより小さくすることができる。従って、ノイズの増加を防止することができ、S/N比の向上を図ることができる。

【0027】上記イメージセンサは、走査線と画素電極とが重なるように配されていることが好ましい。

【0028】通常、イメージセンサにおいて、画素電極

に蓄積された電荷を読み出すイメージ信号のノイズに影響を及ぼすのは、信号線と画素電極との間の静電容量である。このため、走査線と画素電極とが重なって配されていても、検出信号のノイズにはほとんど影響がない。

【0029】上記の構成によれば、信号線と画素電極とは重ならないが、走査線と画素電極とは重なっている構成とすることができる。これにより、画素電極が、走査線にも信号線にも重ならないように配されている場合と比較すると、信号線と画素電極との間の静電容量を増加させることなく、画素電極の面積を大きくとることができる。従って、変換層で生成された電荷を効率よく収集することができる。

【0030】上記イメージセンサは、信号線に接続されるスイッチング素子のソース電極と、画素電極とが重なるように配されていることが好ましい。

【0031】上記の構成によれば、画素電極の面積を大きくとることができる。従って、画素電極は、変換層で生成された電荷を効率よく収集することができる。

【0032】また、スイッチング素子のソース電極上の画素電極をダブルゲートトランジスタの一方のゲート電極として作用させることができる。これにより、ある一定の電圧以上ではスイッチング素子が導通状態となつて、過剰な電荷を信号線に逃がすことができる。従って、例えば、故障や信号読み出しプログラムの不具合等で電荷の正常な読み出しが行われなかった場合等でも、予想外の大きな電荷が画素電極に蓄積されて、これが高電圧となることを防止することができる。この結果、イメージセンサで用いられる、例えば、アクティブマトリクス基板の破壊を防止することができる。

【0033】

【発明の実施の形態】〔実施の形態1〕本発明の実施の一形態について図1ないし図3に基づいて説明すれば、以下の通りである。

【0034】本実施の形態に係るフラットパネル型イメージセンサ（以下、イメージセンサと称する）は、図2に示すように、アクティブマトリクス基板20上に、変換層16および金層17がこの順に配されている。変換層16は、セレン（Se）を主成分とする材料からなり、入射する光やX線等の電磁波を電荷に変換する。ここで、主成分とは、50wt%以上の含有率を有するということである。金層17には電源18が接続されており、金層17は変換層16に電圧を印加するための電極となる。これにより、変換層16には正バイアスが与えられる。

【0035】以下に、図1、図2に基づいて、アクティブマトリクス基板20について詳しく説明する。なお、図1はアクティブマトリクス基板20の平面図であり、図2は図1のA-A'線矢視断面図である。

【0036】アクティブマトリクス基板20は、画素容量電極2、走査線3、信号線4、絶縁性基板5、ゲート

電極6、ゲート絶縁膜7、半導体層8、ソース電極9a、ドレイン電極9b、金属層10a・10b、透明導電膜11a・11b、保護膜12、層間絶縁膜13および画素電極14を有している。

【0037】このアクティブマトリクス基板20は、絶縁性基板5上に、格子状に配設された信号線4・4および走査線3・3に囲まれて各画素（画素領域）が形成され、また、該信号線4および走査線3の交差部の近傍にはスイッチング素子としての薄膜トランジスタ（TFT: Thin Film Transistor、以下TFTと称する）1が形成されている。

【0038】絶縁性基板5はアクティブマトリクス基板20における支持基板であり、絶縁性を有する材料からなる。

【0039】また、TFT1は図2に示すように、ゲート電極6、ゲート絶縁膜7、信号線4、半導体層8、ソース電極9a、ドレイン電極9b、金属層10b、透明導電膜11b等で以て構成されている。

【0040】なお、TFT1のソース電極9aに接続するように設けられた透明導電膜11aおよび金属層10aは信号線4を構成する。

【0041】TFT1のソース電極9a・ドレイン電極9bは、各々信号線4と透明導電膜11bとに接続されている。つまり、信号線4は、信号線4としての直線部分と、TFT1を構成するための延長部分とを備えている。また、透明導電膜11bは、TFT1と後述する画素容量（Cpix）2aとをつなぐように設けられている。

【0042】ゲート絶縁膜7は、ゲート電極6および画素容量電極2を覆うように設けられており、ゲート電極6上に位置する部位がTFT1におけるゲート絶縁膜として作用し、画素容量電極2上に位置する部位は画素容量2aにおける誘電体層として作用する。即ち、画素容量2aは、ゲート絶縁膜7、並びにゲート絶縁膜7を介して画素容量2aと対向配置された画素容量電極2および透明導電膜11bにより構成されており、画素容量電極2と透明導電膜11bとの重畳領域によって形成されている。画素容量2aにより、画素電極14は、収集して蓄積した電荷を読み出されるまで保持することができる。

【0043】また、半導体層8は、信号線4と透明導電膜11bとを結ぶ電流の通路である。

【0044】保護膜12は、その材料として窒化シリコンや酸化シリコンが用いられることが多く、絶縁性基板5上に、ほぼ全面（ほぼ全領域）にわたって形成されている。また、保護膜12の膜厚は、数百nmである。保護膜12は、TFT1の信頼性を向上させるべく、透明導電膜11bと信号線4とを保護すると共に、電気的な絶縁分離を図っている。TFT1上の領域には、後述する層間絶縁膜13が配されていないため、画素電極14

の一部と保護膜12とは接触している。また、保護膜12は、その所定位置にコンタクトホール15を有している。

【0045】層間絶縁膜13は、例えばボジ型の感光性を有するアクリル系透明樹脂からなる。例えば、層間絶縁膜13の比誘電率は3、厚さは2μmが好適である。層間絶縁膜13は、走査線3または信号線4と、画素電極14との間に形成されており、また、上記コンタクトホール15は層間絶縁膜13を貫通している。また、TFT1上に層間絶縁膜13は配されていない。

【0046】画素電極14は透明導電膜層であり、変換層16で生成された電荷を収集し、蓄積する。画素電極14は、コンタクトホール15を埋めるようにして形成されており、画素電極14は透明導電膜11bに接続されている。これにより、画素電極14はドレイン電極9bに接続されている。また、画素電極14は、各画素毎に、各画素のほぼ全面にわたって形成されており、その端縁部は、走査線3あるいは信号線4の一部と層間絶縁膜13を介して重なっている。

【0047】以下に、イメージセンサの製造工程の一例について説明する。

【0048】絶縁性基板5上に、金属膜を成膜した後、フォトリソグラフィ、およびドライエッチングもしくはウェットエッチングにより、TFT1のゲート電極6、走査線3および画素容量電極2を形成する。

【0049】次に、ゲート絶縁膜7、半導体層8、および、n⁺-Si層を連続して積層した後に、パターニングする。なお、n⁺-Si層は、後にTFT1のソース電極9aおよびドレイン電極9bとなる。

【0050】次に、信号線4を構成することとなる透明導電膜11および金属層10を連続して積層した後、まず金属層10をパターニングする。このパターニングにより金属層10a・10bが形成される。続いて、透明導電膜11のパターニングを行う。これにより、透明導電膜11a・11bが形成される。なお、これらの配線やパターンを二層の積層構造としているのは、積層時のダスト等による断線に対する冗長としての効果や、上層の金属層10をパターニングする際の半導体層8やゲート絶縁膜7へのダメージ防止等を目的としたものである。

【0051】続いて、保護膜12を成膜し、後に成膜される画素電極14と透明導電膜11bとを接続するためのコンタクトホール15となる部分をエッチングによって除去する。

【0052】さらに、感光性のアクリル系透明樹脂をスピン塗布法により、2μmの厚さで塗布する。その後、塗布されたアクリル系透明樹脂のうち、コンタクトホール15に対応する部分およびTFT1上の領域を露光し、通常のフォトリソグラフィ工程と同様の現像処理を施す。これにより、層間絶縁膜13が形成される。

【0053】続いて、画素電極14となる透明導電膜を成膜し、エッチングによりパターニングする。

【0054】上記のようにして、イメージセンサにおけるアクティブマトリクス基板20が製造される。

【0055】そして、上記のようにして得られたアクティブマトリクス基板20上に、例えば、真空蒸着法によって変換層16を蒸着し、その後、金層17を蒸着する。

【0056】なお、画素容量2aの大きさは、層間絶縁膜13に設けられたコンタクトホール15の大きさ、即ち、画素容量2aにおいて、保護膜12に接触する画素電極14の面積によって決定される。

【0057】以上のように、層間絶縁膜13は、走査線3または信号線4と、画素電極14との間に形成されている。これにより、信号線4と画素電極14とが層間絶縁膜13を介して重なる構成とすることができる。従って、画素電極14の面積を大きくとることができ、開口率の向上を図ることができるため、変換層16で生成された電荷を効率よく収集することができる。また、層間絶縁膜13が形成されていることにより、信号線4および走査線3に起因する電界をシールドすることができ、変換層16の動作不良の抑制を図ることができる。

【0058】ここで、画素電極14は層間絶縁膜13を介して信号線4と重なるように配されているが、層間絶縁膜13の膜厚は十分厚く、誘電率も低いため、信号線4と画素電極14との間の静電容量の増加を招来することはなく、S/N比の低下の原因となるノイズの増加を防止することができる。

【0059】さらに、TFT1上には層間絶縁膜13が配されていないため、保護膜12を介してTFT1上にも画素電極14を配している。これにより、画素電極14の面積を大きくとることができ、変換層16で生成された電荷を効率よく収集することができる。

【0060】また、保護膜12を介してTFT1上にも画素電極14を配することができることにより、TFT1のソース電極9a上の画素電極14をダブルゲートトランジスタの一方のゲート電極として作用させることができる。これにより、ある一定の電圧以上ではTFT1が導通状態となって、過剰な電荷を信号線4に逃がすことができる。従って、例えば、故障や信号読み出しプログラムの不具合等で電荷の正常な読み出しが行われなかった場合等でも、予想外の大きな電荷が画素電極14に蓄積されて、これが高電圧となることを防止することができる。この結果、アクティブマトリクス基板20の破壊を防止することができる。

【0061】なお、高電圧による破壊の懸念がない場合や、ダブルゲートの効果としてTFT1と画素電極14との間に十分な膜厚の絶縁膜があった方が望ましい場合には、TFT1上の層間絶縁膜13をパターニングによって取り除かず、保護膜12と層間絶縁膜13との2層

構造とすることもできる。また、TFT1上に層間絶縁膜13を配置する場合には、保護膜12の形成そのものを省くことも考えられる。さらに、信号線4と画素電極14との間の静電容量は、後述するように、画素容量2aの1/100以下であることが望ましいが、TFT1上の層間絶縁膜13を取り除くことによって、信号線4と画素電極14との間の静電容量が増加して、画素容量2aの1/100を超えるような場合には、TFT1上に層間絶縁膜13を配置しておくことが望ましい。

【0062】イメージセンサとは、例えば入射する電磁波がX線の場合には、イメージセンサのフラットパネルに入射したX線量の二次元的分布に基づき画像を形成する装置である。この装置を使用する際には、X線源が別途用意され、物体はX線源とイメージセンサとの間に配置される。

【0063】また、イメージセンサの動作原理は以下の通りである。

【0064】イメージセンサにおいて、変換層16で生成した電荷は、画素電極14に蓄積される。これにより、物体から放出された電磁波に応じて、それぞれの画素に電荷としてのデータ（電位データ）が蓄積される。また、画素電極14は、透明導電膜11bを介してTFT1のドレイン電極9bに接続されている。例えば、順次走査線3をスキャンすると、走査線3によって選択された画素において、画素電極14の保持するデータがTFT1を介して信号線4に読み出される。この信号線4の他端には、これらデータを信号（イメージ信号）として読み出すために、オペアンプ等の信号読み出し回路が設けられている。この信号読み出し回路により、イメージセンサに映し出された物体の像が画像データとして取り出される。

【0065】一般に、各画素電極に電荷を与えて保持し、保持された電荷の容量の大きさによって表示を行う液晶表示装置とは異なり、イメージセンサでは、画素電極14で収集された電荷を該電荷が読み出されるまで画素電極14において保持する。従って、画素容量2aを大きくとっている場合が多いため、信号線4と画素電極14との間の静電容量（以下、静電容量と称する）はそのままの静電容量値が信号線4の負荷となることが多い。一方、一般に、オペアンプ等の信号読み出し回路で発生したノイズは、静電容量と帰還容量との比に準じたゲインで増幅される。このため、ノイズを減らすためには、静電容量を減らすことが重要となる。

【0066】また、静電容量が増加すると、X線照射部分のイメージに対応した画素電位の変動に伴い、1画素あたりの静電容量に対応する分だけ信号線4の電位変動が生じるという問題がある。

【0067】例えば、ある走査線3が選択されて、信号線4を介して信号の読み出しが行われている場合にも、他の画素電極14には電荷が蓄積され続けており、信号

線4には、これとは逆極性で、静電容量に比例する電荷が蓄積され続ける。この信号線4に蓄積される電荷量は画面全体のイメージの如何によってそれぞれ異なる。ある画素からの信号の読み出しの際には、信号線4と平行な方向に隣接する画素の信号に対応する、信号線4に蓄積された電荷がノイズとして読み出し中の信号に重畳される。これにより、いわゆるクロストークが発生し、正

$$\begin{aligned} Q_{sdmax} &= n \times C_{sd} \times V_{sdmax} / n \\ &= C_{sd} \times Q_{dmax} / C_{pix} \end{aligned} \quad \dots (1)$$

によって求めることができる。

【0069】ただし、 C_{sd} は1画素あたりの信号線4と画素電極14との間の静電容量、 Q_{sdmax} は走査線3を1ライン読み出す期間中に静電容量 C_{sd} により信号線4に供給される電荷量の最大値、 n は走査線3の本数、 V

$$Q_{sdmax} < Q_{dmin}$$

で表されるように、走査線3を1ライン読み出す期間中に静電容量 C_{sd} により信号線4に供給される電荷量の最大値 Q_{sdmax} は、画素電極14に蓄積される電荷の最小値 Q_{dmin} よりも小さくなければならない。

【0071】イメージセンサにあっては、静電容量の増

$$C_{sd} < C_{pix} \times Q_{dmin} / Q_{dmax} \quad \dots (3)$$

で表される。

【0072】ここで、 Q_{dmax}/Q_{dmin} は、画素電極14に蓄積された電荷を読み出す検出信号のダイナミックレンジの比を表す。一般に、イメージセンサがセンサとして機能するためには、ダイナミックレンジとして最低でも100程度必要とされる。従って、式(3)より、クロストークが発生しないようにするためには、静電容量 C_{sd} は画素容量 $2a$ の $1/100$ 以下であることが好ましい。

【0073】なお、イメージセンサの性能によって、例えば、10ビット(1024階調)をフルに用いた精度を持つような場合には、最小データ単位、即ち、デジタル変換の精度は、最大データの $1/1024$ となる。これがデジタル化することによって生じるデータ精度の限界値であり、即ち、ダイナミックレンジは1000程度になると考えられる。このような場合には、静電容量 C_{sd} は画素容量 $2a$ の $1/1000$ 以下に極力近づけるようにすることが望ましいことはいうまでもない。

【0074】このように、静電容量 C_{sd} を画素容量 $2a$ の $1/100$ 以下とすることにより、静電容量によってノイズが生じたとしても、イメージセンサに最低でも必要とされる100程度のダイナミックレンジにわたって、電荷がノイズとして読み出し中のイメージ信号に重畳されて生じるクロストークの発生を防止することができる。即ち、静電容量を抑制することにより、ノイズの増加を防止することができる。従って、 S/N 比の向上を図ることができ、信頼性の高いイメージ信号を得ることができる。これにより、イメージセンサに映された物体の像は、画素電極14で収集された電荷をイメージ信

しいデータが得られないこととなる。従って、静電容量を小さく抑える必要がある。

【0068】ここで、クロストークの最大発生量を見積もる。走査線3を1ライン読み出す期間中に、1画素あたりの静電容量(以下、静電容量 C_{sd} と称する)により信号線4に供給される電荷量の最大値 Q_{sdmax} は次式(1)

$sdmax$ は信号線4と画素電極14との間における電圧差の最大値、 Q_{dmax} は画素電極14に蓄積される電荷の最大値、 C_{pix} は画素容量 $2a$ である。

【0070】また、クロストークが発生しないようにするには、次式(2)

$$\dots (2)$$

加が、画素電極14に蓄積された電荷を読み出す検出信号の S/N 比の低下につながる。このため、静電容量を抑制することが望ましい。しかも、静電容量は極めて低いレベルが要求される。また、上記式(1)、(2)により、静電容量 C_{sd} は次式(3)

$$\dots (3)$$

号として読み出す回路(信号読み出し回路)から、十分に信頼性の高い画像データとして取り出すことができる。

【0075】ところで、画素電極14は、その面積を大きくとるため、図1に示すように、走査線3および信号線4と層間絶縁膜13を介して重なるように形成されている。この場合、層間絶縁膜13の誘電率を低くし、その膜厚をある程度厚くすることにより静電容量を小さくしている。

【0076】しかしながら、イメージセンサは極めて小さな静電容量が要求されるため、層間絶縁膜13の特性を最適化するだけでは不十分である。そこで、さらに静電容量を小さくするための構造を図3に示す。

【0077】図3(a)に示すように、画素電極14は、走査線3と信号線4とにより形成される画素領域、即ち、走査線3・3と信号線4・4とにより囲まれた領域よりも内側に配されていることが望ましい。なお、画素電極14と信号線4とが重なっていない領域においても、空間的な電位の広がりによって静電容量は発生するが、その値は信号線4と画素電極14とが重なる領域が有るか無いかで急激に変化する。そこで、図3(a)に示すように、画素電極14が信号線4と重ならないように配されている、即ち、信号線4は、走査線3と平行方向に隣り合う画素電極14・14間に配されていることにより、静電容量を小さくすることができ、ノイズの低減を図ることができる。これにより、 S/N 比の向上を図ることができる。

【0078】なお、図3(a)に示すように、画素電極14が、走査線3および信号線4と重ならない構造とす

ることにより、画素電極14の面積は小さくなり、開口率が減少することとなるが、イメージセンサは、液晶表示装置ほど開口率の多少の減少が大きな問題とはならない。

【0079】ただし、画素の形状や電界のかかり具合によっては、画素電極14の面積をより大きくすることが望まれる場合がある。このような場合は図3(b)に示すように、画素電極14が、信号線4とは重ならないが、走査線3とは重なるように配されていることが望ましい。即ち、信号線4は走査線3と平行方向に隣り合う画素電極14・14の間に配されており、また、走査線3と画素電極14とは層間絶縁膜13を介して重なっている。

【0080】通常、イメージセンサにおいて、画素電極14に蓄積された電荷を読み出す検出信号のノイズに影響を及ぼすのは静電容量である。このため、走査線3と画素電極14とが重なって配されていても、検出信号のノイズにはほとんど影響がない。

【0081】従って、図3(a)に示す構造と比較すると、図3(b)に示す構造とすることにより、静電容量を増加させることなく画素電極14の面積を大きくすることができる。これにより、画素電極14は、変換層16で生成した電荷を効率よく収集することができる。また、図3(a)に示す構造と同様に、図3(b)に示す構造としても、画素電極14と信号線4とが重畳しないため静電容量を小さくすることができ、ノイズの低減を図ることができる。

【0082】〔実施の形態2〕本発明の実施の他の形態について図3(a)、図4ないし図6に基づいて説明すれば、以下の通りである。なお、実施の形態1における構成要素と同等の機能を有する構成要素については、同一の符号を付記してその説明を省略する。

【0083】図4は、本実施の形態のイメージセンサの構成を示す平面図である。本実施の形態に係るイメージセンサは、実施の形態1と同様、TFT1、保護膜12および画素電極14を有するアクティブマトリクス基板上に、変換層16と金層17とを有する。ただし、実施の形態1のアクティブマトリクス基板20とは異なり、本実施の形態のアクティブマトリクス基板上に層間絶縁膜13は形成されていない。また、画素電極14は、図3(a)に示した構造と同様、走査線3および信号線4と重ならない形状となっている。また、TFT1上には画素電極14は形成されておらず、画素電極14は信号線4と同層に配されている。

【0084】図4に示すように、信号線4と画素電極14とが重ならない構造とし、信号線4と画素電極14との隙間が幅Wを有していても、イメージセンサで問題となる非常に低いレベルの静電容量は存在する。そこで、幅Wの範囲を好ましい範囲に設定し、静電容量Csdが画素容量2aの1/100以下となるようにする。

【0085】ここで、イメージセンサで問題となるような極めて低いレベルの静電容量Csdを電界シミュレータで見積もる。信号線4と画素電極14との間における、1 μ mあたりの静電容量Csdを、アクティブマトリクス基板の上層の比誘電率を1として電界シミュレータにより計算した結果を図5に示す。同図において、横軸は信号線4と画素電極14との隙間の幅W(μ m)とし、縦軸は信号線4と対向して静電容量Csdを構成する画素電極14の端部の長さ1 μ mあたりの静電容量Csd(F/ μ m)としている。

【0086】本実施の形態において、信号線4方向の画素ピッチは150 μ mとし、画素容量2aは1.5pFとしている。このとき、信号線4との間に静電容量Csdを形成する画素電極14の長さXは、信号線4と平行方向においてTFT1を構成する部分を除いた端部の長さ $X_1 + X_2$ である。これら X_1 、 X_2 は、それぞれ信号線4方向の画素ピッチより幾分少ない百数十 μ mである。これにより、信号線4との間に静電容量Csdを形成する画素電極14の長さXは、約250 μ mとなる。従って、静電容量Csdを画素容量2aの1/100以下である15fF以下とするためには、静電容量Csdは、15fFを250 μ mで除するところにより、0.06fF以下とする必要がある。図5に示すグラフより、信号線4と対向して静電容量Csdを構成する画素電極14の端部の長さ1 μ mあたりの静電容量Csdを0.06fF以下とするには、幅Wは5 μ m以上必要であることがわかる。

【0087】ここで、幅Wは5 μ m以上必要であるという上記見積もりは、アクティブマトリクス基板の上層の比誘電率を1とした場合の見積もりである。実際のイメージセンサでは、アクティブマトリクス基板の上層に電磁波を電荷に変換する変換層16を備えている。例えば、変換層16がセレンを主成分とする層であるとき、その比誘電率は1ではないため、信号線4と画素電極14との間における、長さ1 μ mあたりの静電容量Csdを電界シミュレータにより計算した結果は図6のようになる。図6において、横軸は信号線4と画素電極14との隙間の幅W(μ m)とし、縦軸は信号線4と対向して静電容量Csdを構成する画素電極14の端部の長さ1 μ mあたりの静電容量Csd(F/ μ m)としている。

【0088】図5を用いた見積もりと同様に、静電容量Csdが、長さ1 μ mあたり0.06fF以下とするためには、図6に示すグラフによると、幅Wは25 μ m以上必要であることがわかる。

【0089】以上のように、アクティブマトリクス基板上に層間絶縁膜が形成されていなくても、信号線4と画素電極14とが重ならないような構造とし、信号線4と画素電極14との間の幅Wを適切な値とすることにより、静電容量Csdを画素容量2aの1/100以下とし、非常に低いレベルとすることができる。従って、S

／N比の向上を図ることができ、ノイズの増加を防止することができる。これにより、イメージセンサに映された物体の像は、画素電極14で収集された電荷をイメージ信号として読み出す回路（信号読み出し回路）から、十分に信頼性の高い画像データとして取り出すことができる。

【0090】

【発明の効果】以上のように、本発明のイメージセンサは、1画素あたりにおける、信号線と画素電極との間の静電容量が、画素電極で収集された電荷を該電荷が読み出されるまで保持するための画素容量の1／100以下である構成である。

【0091】一般に、信号線に蓄積され、信号線と画素電極との間の静電容量に比例する電荷がノイズとして読み出し中のイメージ信号に重畳されて生じるクロストークが発生しないようにするためには、1画素あたりにおける、信号線と画素電極との間の静電容量が、画素容量にダイナミックレンジの逆数を乗じた値より小さくしなければならない。また、イメージセンサがセンサとして機能するためには、ダイナミックレンジとして最低でも100程度必要とされる。

【0092】一方、上記の構成によれば、信号線と画素電極との間の静電容量は、画素容量の1／100以下である。これにより、信号線と画素電極の間の静電容量によってノイズが生じたとしても、電荷がノイズとして読み出し中のイメージ信号に重畳されて生じるクロストークの発生を、イメージセンサに最低でも必要とされる100程度のダイナミックレンジにわたって防止することができる。この結果、ノイズの増加を防止することができる。従って、S／N比の向上を図ることができ、信頼性の高いイメージ信号を得ることができるといった効果を奏する。

【0093】本発明のイメージセンサは、信号線または走査線と、画素電極との間に、層間絶縁膜が形成されている構成である。

【0094】これにより、画素電極を、信号線に重なるように配することができ、画素電極の面積を大きくとることができる。また、層間絶縁膜が形成されていることにより、信号線および走査線に起因する電界をシールドすることができる。従って、変換層で生成された電荷を効率よく収集することができ、また、変換層の動作不良の抑制を図ることができるといった効果を奏する。

【0095】本発明のイメージセンサは、信号線が、隣り合う画素電極間に配されている構成である。

【0096】これにより、信号線と画素電極との間の静電容量をより小さくすることができ、ノイズの増加を防止することができる。従って、S／N比の向上を図ることができるといった効果を奏する。

【0097】本発明のイメージセンサは、走査線と画素電極とが重なるように配されている構成である。

【0098】通常、イメージセンサにおいて、読み出されるイメージ信号にノイズとして影響を及ぼすのは、信号線と画素電極との間の静電容量である。このため、走査線と画素電極とが重なって配されていても、ノイズにはほとんど影響がない。

【0099】これにより、画素電極が走査線にも信号線にも重ならないように配されている場合と比較すると、信号線と画素電極との間の静電容量を増加させることなく、画素電極の面積を大きくとることができる。従って、画素電極が、変換層で生成された電荷を効率よく収集することができるといった効果を奏する。

【0100】本発明のイメージセンサは、信号線に接続されるスイッチング素子のソース電極と、画素電極とが重なるように配されている構成である。

【0101】これにより、画素電極の面積を大きくとることができ、また、スイッチング素子のソース電極上の画素電極をダブルゲートトランジスタの一方のゲート電極として作用させることができる。

【0102】従って、変換層で生成された電荷を効率よく収集することができ、また、イメージセンサで用いられる、例えば、アクティブマトリクス基板の破壊を防止することができるといった効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係るイメージセンサの構成を示す概略の平面図である。

【図2】図1に示すイメージセンサのA-A'線矢視断面図である。

【図3】(a)は図1に示すイメージセンサにおける画素電極と信号線とが重ならない場合の構成を示す平面図であり、(b)は図1に示すイメージセンサにおける画素電極と信号線とが重ならない場合の他の構成を示す平面図である。

【図4】本発明の実施の他の形態に係るイメージセンサの構成を示す概略の平面図である。

【図5】アクティブマトリクス基板の上層の比誘電率を1として電界シミュレータにより計算した場合の、画素電極と信号線との隙間の幅と、長さ1μmあたりの画素電極と信号線との間における静電容量との関係を示すグラフである。

【図6】アクティブマトリクス基板の上層に変換層が形成されているとして電界シミュレータにより計算した場合の、画素電極と信号線との隙間の幅と、長さ1μmあたりの画素電極と信号線との間における静電容量との関係を示すグラフである。

【図7】従来のイメージセンサの構成を示す断面図である。

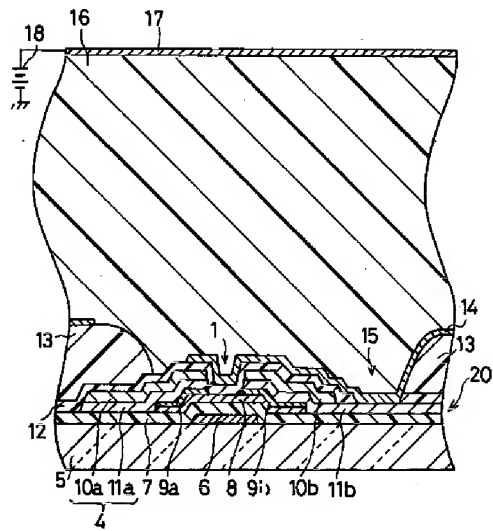
【図8】従来の他のイメージセンサの構成を示す断面図である。

【符号の説明】

1 TFT（薄膜トランジスタ、スイッチング素子）

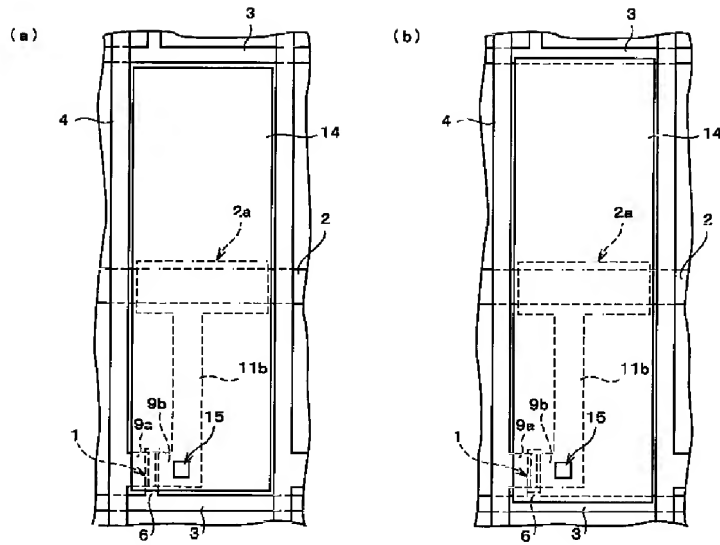
- | | |
|-----|--------------|
| 9b | ドレイン電極 |
| 10a | 金属層（信号線） |
| 11a | 透明導電膜（信号線） |
| 11b | 透明導電膜 |
| 13 | 層間絶縁膜 |
| 14 | 画素電極 |
| 15 | コンタクトホール |
| 16 | 変換層 |
| 20 | アクティブマトリクス基板 |

【图2】

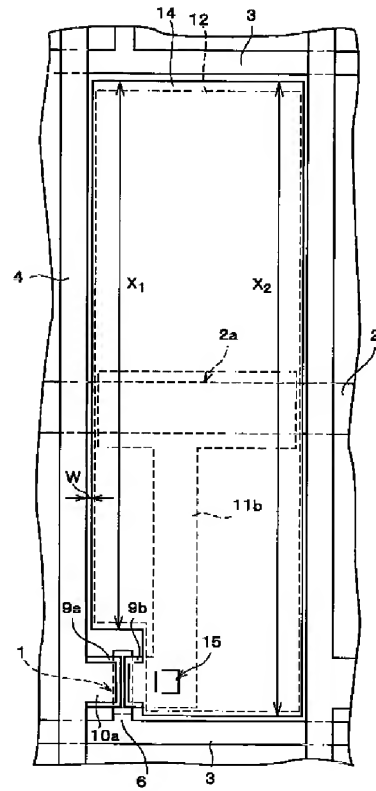


平均電極幅 W (μm)	単位面積あたりの平均容量 C_{av} ($\text{F}/\mu\text{m}^2$)
4	7.2×10^{-17}
6	5.8×10^{-17}
10	4.4×10^{-17}
15	3.8×10^{-17}
30	2.8×10^{-17}

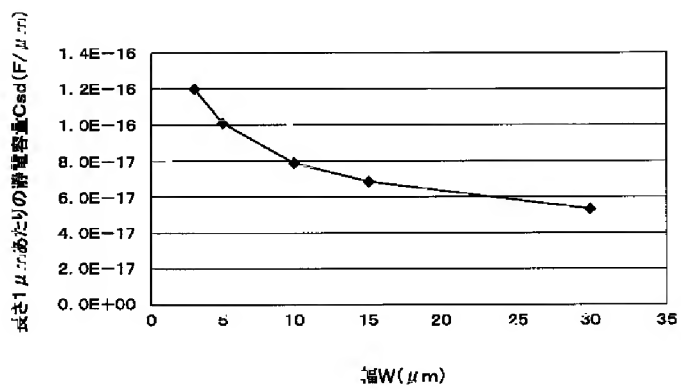
【図3】



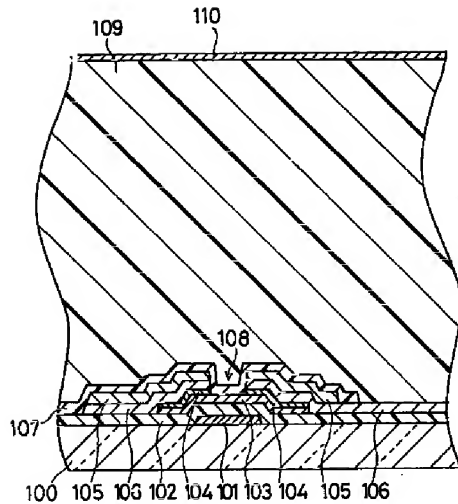
【図4】



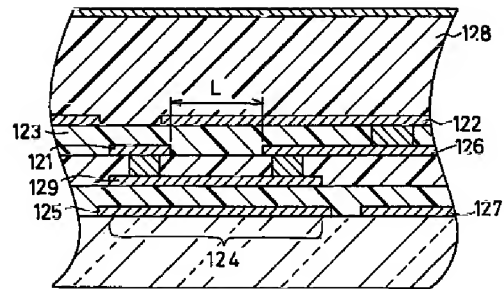
【図6】



【☒7】



【図8】



フロントページの続き

(51) Int. Cl.⁷

識別記号

H O 1 L 31/09

H O 4 N 1/028

5/335

F I

(参考)

H O 1 L 27/14

K 5F110

29/78

6 1 3 Z

31/00

A

(72)発明者 和泉 良弘

大阪府大阪市阿倍野区長池町22番22号 シ

ヤープ株式会社内

Fターム(参考) 2G088 EE01 EE27 FF02 GG21 JJ05

JJ31 JJ33 JJ37 LL11 LL12

4M118 AA02 AB01 BA05 CA14 CB05

FB03 FB09 FB13 FB16 FB23

FB25

5C024 CX03 CY47 HX35 HX40 HX50

5C051 AA01 BA02 DA02 DB01 DB06

DB08 DC03 DC07

5F088 BA03 BB03 EA04 EA08 EA16

FA09 HA15 LA08

5F110 AA05 BB01 BB10 CC07 HK09

NN03 NN23 NN24 NN27 NN71

NN72